

ارائه يك مدار BiCMOS جديد براي راندن بارهاي خازني بزرگ

محمد رشتيان⁽¹⁾ كيوان ناوي^{(2)*} اميد هاشمي پور⁽³⁾

(1) دانشجوي دکتری، دانشکده صنعت هواپيمائي کشوري، دانشگاه آزاد اسلامي
واحد علوم و تحقيقات

(2) دانشيار، دانشکده مهندسي برق و کامپيوتر، دانشگاه شهيد بهشتي

(3) دانشيار، دانشکده مهندسي برق و کامپيوتر، دانشگاه شهيد بهشتي

تاريخ ثبت اوليه: 86/7/3، تاريخ دريافت نسخه اصلاح شده: 87/2/4، تاريخ
پذيرش: 87/7/24

چکیده از آنجا که در تکنولوژی BiCMOS براي راندن بارهای خازني بزرگ تنها در زمانهاي بسيار کوتاه نیاز به جريان کلکتور و بالطبع جريان بيس است، در اين نوشتار از خازن هاي موجود بين گيت و سورس ترانزیستورهاي ماسفت برای راندن ترانزیستورهاي دو قطبي استفاده شده است. خاصیت خازني فوق، سرعت مدار را نسبت به مدارهای مشابه افزايش داده و جريان ايستاي بسيار کمي را تحميل ميکند. افزون بر اين، در طراحي ارائه شده با کاهش چشمگیر تعداد ترانزیستورها، مساحت تراشه نیز کاهش ميیابد.

واژه های کلیدی BiCMOS، دروازه هاي منطقي، راندن بارهاي خازني، توان ايستا، تأخير دروازه هاي منطقي

*عهده دار مکاتبات

نشانی: تهران، اوین، دانشگاه شهيد بهشتي، دانشکده مهندسي برق و کامپيوتر
تلفن: 09121057365 پست الکترونيکي: navi@sbu.ac.ir

1- مقدمه

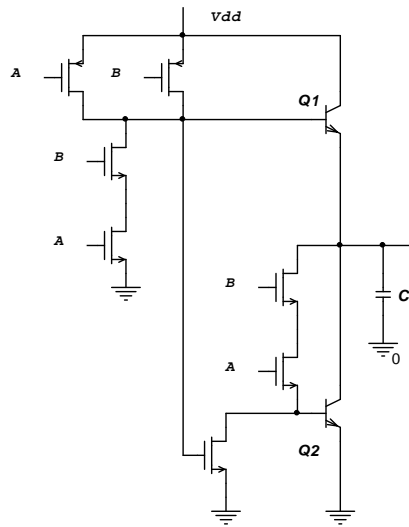
برای راندن بارهای بزرگ خازنی در مدارهای دیجیتال، یکی از مناسبترین روشها استفاده از مدارهای واسطه BiCOMS است. مدل متعارف ارائه شده در [1] سالها مدلی مناسب و کاربردی بود. مدارگیت Nand با این ساختار در شکل (1) نشان داده شده است. با کاهش ولتاژ تغذیه در سالهای اخیر، روش یاد شده به خاطر سوئینگ ناکافی در خروجی، ناکارآمد تلقی شده، و از این رو، برای رسیدن به سوئینگ تقریباً کامل (Pseudo full swing) روشهای متفاوتی معرفی شده است. در [2 و 3] با مقایسه نتایج شبیه سازی برای مدارهای مختلف، روش TS-FS (Transient Saturation Full swing) به عنوان سریعترین مدل معرفی می‌گردد، هر چند که دو مسئله بزرگ بودن سطح تراشه و گران بودن تکنولوژی به کار رفته در این روش (Complementary BiCMOS) از نقاط ضعف آن است. در این نوشتار با بهینه سازی روش فوق، آرایش جدیدی برای راندن بارهای خازنی ارائه شده است که با حذف بیش از نیمی از ترانزیستورهای به کار رفته در مدل TS-FS (بسته به تعداد ورودیها) و با تکیه بر شارژ خازنی بیس ترانزیستورهای دو قطبی، افزون بر بهبود سرعت مدار از مساحت تراشه، بسته

به تعداد ورودیهای مدار، می‌کاهد. ولتاژ تغذیه در این طرح 2V در نظر گرفته شده است. در بخش دوم به بررسی مدارهای مطرح ارائه شده در این باب می‌پردازیم و در بخش سوم مدار پیشنهادی را ارائه می‌کنیم. بخش چهارم به بررسی دقیقتر معادلات ریاضی این طراحی و نیز بخش پنجم به نتایج شبیه‌سازی و مقایسه طرحها با یکدیگر اختصاص یافته است.

2- بررسی مدارهای ارائه شده تا کنون

در سالهای اخیر روشهای مختلفی برای تحقق راه اندازهای BiCOMS با سوئینگ کامل ارائه شده است که هر یک نقاط قوت و ضعف مختص به خود را دارد. در بعضی از روشها از دو ترانزیستور ماسفت موازی با ترانزیستورهای دو قطبی استفاده شده است که طبعاً سرعت بالایی ندارد [4 و 5].

در این روش برای بالا بردن ولتاژ در خروجی (شارژ خازن بار) از یک ترانزیستور npn و جهت تخلیه خازن فوق از ترانزیستورهای nMOS استفاده می‌گردد. در واقع ضعف جریان دهی ترانزیستورهای pMOS در این روش با استفاده از یک ترانزیستور دو قطبی جبران می‌شود. در روش دیگری که TS-FS نام دارد، از دو ترانزیستور دو قطبی مکمل npn و pnp چنانکه در شکل (2) نشان داده شده، استفاده شده است. در [2 و 3] با مقایسه و شبیه سازی همه روش‌ها این روش سریعترین روش معرفی شده است. شکل (2) یک تحقق Nand با این روش را نشان می‌دهد. در این طرح ترانزیستورهای m_1 تا m_4 به گونه ای به شبکه‌های pMOS و nMOS افزوده شده‌اند که پس از پایدار شدن ولتاژ در خروجی، اتصال بیس ترانزیستور npn روشن از مسیر V_{dd} قطع و به سمت زمین هدایت شود و بالعکس اتصال بیس ترانزیستور pnp روشن از مسیر زمین قطع و به سمت V_{dd} هدایت شود. با این شیوه توان استاتیک کنترل می‌شود. معکوس کننده‌های اول و دوم با ساختار فیدبک مثبت نقش یک نگهدارنده ضعیف را نیز بازی می‌کنند و سوئیچینگ کامل طرح را تضمین می‌کنند. ابعاد ترانزیستورهای به کار رفته در این گیت‌ها بسیار کوچکتر از



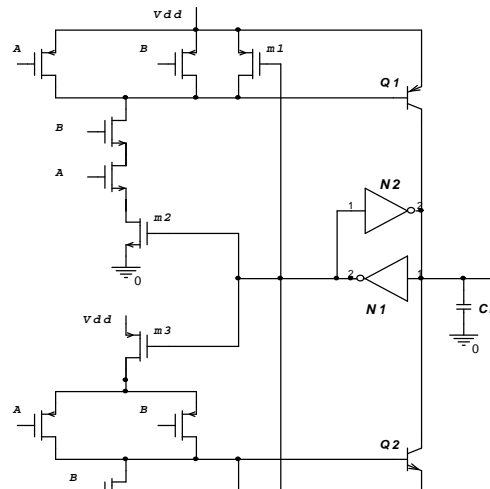
شکل 1 مدار گیت Nand متعارف

روش دیگری که بسیار استفاده می‌شود به کار گرفتن یک مدار افزایش دهنده سطح ولتاژ است تا با اعمال ولتاژی بیش از V_{dd} به بیس ترانزیستور npn بتوان سوئیچینگ کامل داشت [6]. در این روش که BF-BiCMOS (Bootstrapped full-swing BiCMOS) نامیده می‌شود، تنها از ترانزیستورهای دو قطبی npn استفاده می‌شود. هم چنین، در این روش وجود یک خازن C_{boot} ضروری است. روش مرسوم دیگر SBiCMOS (Shottky BiCMOS) است که در این روش نیز از دو ترانزیستور دو قطبی npn استفاده می‌شود. در این روش از یک دیود شاتکی برای بالا بردن ولتاژ اعمال شده به بیس ترانزیستور دو قطبی استفاده می‌گردد [7]. روش دیگر BFBiNMOS (Bootstrapped full-swing BiNMOS) است.

در وضعیت صفر و هر دو ورودی در وضعیت یک منطقی باشند، لذا جریان بیس ترانزیستور npn برابر با $\left(\frac{V_{dd}-0.7}{R_1}\right)$ خواهد بود. فرض کنید R_1 و R_2 مقادیر بسیار بزرگی باشند به طوری که بتوان جریان عبوری از مقاومتها را بسیار ناچیز دانست؛ در این وضعیت ولتاژ خازن C_1 برابر با $(V_{dd}-0.7)$ ولت و ولتاژ روی خازن C_2 برابر صفر است. حال با تغییر وضعیت دریکی از ورودیها از یک به صفر منطقی، خازن C_2 برای لحظاتی مانند یک منبع ولتاژ عمل کرده و جریان شدیدی در بیس ترانزیستور pnp ایجاد خواهد کرد و لذا خازن C_L به سرعت به سمت ولتاژ $(V_{dd}-V_{CE,sat})$ خواهد رفت.

در اینجا نیاز ما به جریان بیس در ترانزیستور pnp تنها در لحظات شارژ و در ترانزیستور npn در لحظه دشارژ خازن C_L است، که این خواسته توسط خازنهای C_1 و C_2 تأمین می‌شود. مقاومت‌های R_1 و R_2 در یک نیم سیکل با جریان بسیار کم ترانزیستورهای BJT را روشن نگه می‌دارند و از شناور شدن بیس ترانزیستورها جلوگیری می‌کنند و در نیم سیکل دیگر خازنهای C_1 و C_2 را به آرامی تخلیه می‌کنند. جهت کاهش توان

آن است که نقش مؤثری در تخلیه یا پر کردن خازن بار باشد و تنها کاربرد این گیت‌ها برای بهبود سوئیچینگ مدار و جبران ولتاژ $V_{ce,sat}$ است.



شکل 2 مدار گیت Nand به روش TS-FS عیب‌معمده این شیوه تعداد زیاد ترانزیستورها و بالطبع افزایش مساحت اشغال شده توسط تراشه در مقایسه با طرح‌های مشابه است. هم چنین مدارهای مد جریان نیز بررسی و ارائه شده است ولی همچنان مسئله عدم سوئیچینگ کامل در این مدارهای وجود دارد. [8 و 9]

3- مدار پیشنهادی در این نوشتار

در شکل (3) ایده اولیه برای راندن بارهای خازنی توسط یک شبکه RC در بیس ترانزیستورهای BJT برای تحقق یک گیت Nand نشان داده شده است. فرض کنید برای مدت زمانی طولانی خروجی

در رابطه فوق T_{min} برابر با $\frac{1}{f_{max}}$ است و بنابراین مقاومت به دست آمده از رابطه (1) مقدار بسیار بزرگی است. مقادیر تقریبی به دست آمده از رابطه فوق برای مقدار مقاومتها در محدوده تقریبی 50 تا 200 کیلو اهم، بسته به فرکانس ورودی، است.

مدار فوق خواص جالب دیگری از جمله اعمال یک ولتاژ معکوس روی پیوند بیس امیتر ترانزیستوری که باید خاموش شود، دارد که در [10] به تفصیل در این باب صحبت شده است. البته مدار فوق در عمل برای اجرا با مشکل بزرگ بودن مقاومتها و گران بودن ساخت خازنها روبروست. در بخش بعد راه های جایگزینی این دو المان پسیو با ترانزیستورهای ماسفت ارائه می‌گردد. با توجه به اینکه معمولاً 80% مساحت تراشه ها اختصاص به اتصالات دارد و نیز با توجه به کاهش قابل توجه ترانزیستورها، در این مدار مساحت تراشه به شدت کاهش می‌یابد.

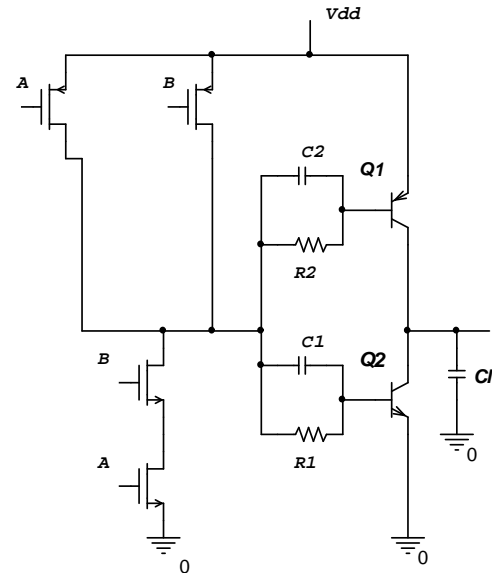
4- بررسی ملاحظات طراحی و

جایگزینی شبکه RC با

ترانزیستورهای ماسفت

چنانکه در بخش قبل آورده شد، در این طرح نیاز به دو مقامت بزرگ است که البته از لحاظ

استاتیک R_1 و R_2 می‌بایست حتی الامکان بزرگ باشند. در عمل مقاومت‌های R_1 و R_2 به گونه ای محاسبه می‌شوند که در بیشترین فرکانس کارکرد مدار، خازن‌های C_1 و C_2 در یک نیم سیکل به 10 درصد مقدار اولیه خود برسند. با نوشتن معادله تخلیه یک خازن با یک مقاومت ساده، ثابت زمانی مدار (τ) برای آنکه ولتاژ خازن در سیکل تخلیه به 10% مقدار اولیه برسد، برابر با 4545/. باشد. از یک پریود کامل خواهد بود، لذا مقدار مقاومت تخلیه کننده از رابطه زیر به دست می‌آید.



شکل 3 ساختار ساده شده طرح پیشنهادی

$$R1_{max} = \frac{T_{min}}{2.2C1} \quad (1)$$

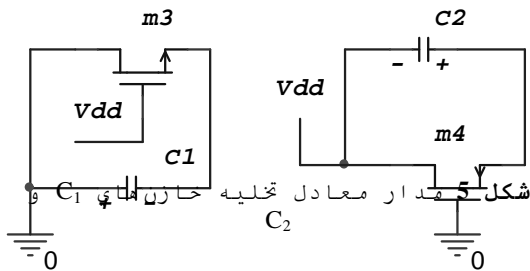
ترانزیستورهای m_5 و m_6 نقش خازن‌های C_1 و C_2 را در شکل (3) بازی می‌کنند. در ادامه روش طراحی و جایگزینی خازن و مقاومت‌های مورد نظر بررسی می‌گردد.

1-4 جایگزینی مقاومت‌ها

با توجه به مطالبی که در بالا آورده شد، واضح است که معمولاً در اینجا نیازی به استفاده از یک مقاومت دقیق و خطی نیست، از این رو، چنانکه در طرح نهایی که در شکل (4) آمده است، مقاومت‌های R_1 و R_2 در شکل (3) جای خود را به ترانزیستورهای m_3 و m_4 در شکل (4) داده‌اند. قبل از بررسی روش طراحی ابعاد ترانزیستور فوق یادآوری این نکته ضروری است که در طرح ارائه شده در شکل (3) در لحظه آغازین خاموشی Q_1 ولتاژ بیس این ترانزیستور برابر با $0.7V_{dd}$ و در لحظات آغازین خاموشی Q_2 ولتاژ بیس این ترانزیستور $0.7V_{dd}$ ولت است.

اقتصادی و فنی قابل توجیه نیست ولی با توجه به اینکه وظیفه اصلی مقاومت‌ها تخلیه خازن‌های کوچک جبران ساز در نیم سیکلی که ترانزیستور دو قطبی متصل به آنها خاموش است می‌باشد، لذا براحتی می‌توان آنها را با دو ترانزیستور با W/L مناسب و آرایش صحیح در مدار که نقش یک مقاومت غیر خطی را بر عهده دارند، جایگزین کرد. همچنین با توجه به کوچک بودن مقادیر C_1 و C_2 که در عمل کافی است کمی از C_1/β بزرگتر باشند، و با توجه به اینکه در اینجا نیازی به دقت بالا نداریم، می‌توان از خازن مابین گیت و سورس ترانزیستور استفاده کرد. مدار پیشنهادی برای تقویت جریان دهی یک گیت معکوس کننده ساده بر همین مبنا در شکل (4) نشان داده شده است. ترانزیستورهای m_3 و m_4 نقش مقاومت‌های تخلیه کننده خازن‌ها را برعهده دارند. هم‌چنین کارکرد دیگر ترانزیستورهای فوق تزریق جریانی بسیار ناچیز به بیس ترانزیستور دو قطبی روشن است تا به این وسیله از شناور شدن خروجی پس از تثبیت وضعیت جلوگیری شود؛ هر چند که این جریان ناچیز موجب افزایش توان استاتیک می‌گردد.

قبلاً گفتیم اگر ولتاژ تغذیه بیشتر از $1/4$ ولت باشد این مقدار به حدود $0/7$ - ولت تغییر می‌کند. که می‌بایست قبل از تغییر وضعیت مجدد به کمتر از 10% مقدار اولیه اش برسد. این عمل توسط شبه مقاومت m_3 انجام می‌شود. در شکل (5) نحوه تخلیه شبه خازن‌های m_5 و m_6 نشان داده شده است.



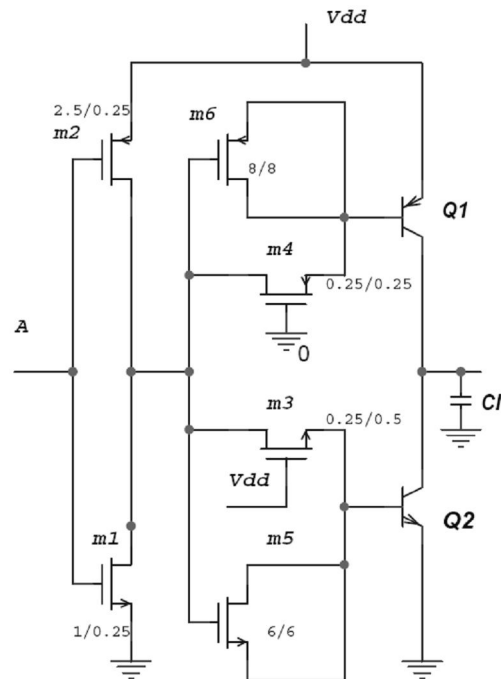
در شکل (5) C_1 و C_2 به ترتیب نمایانگر خازن معادل m_5 و m_6 هستند. چنانکه ملاحظه می‌شود، هر دو ترانزیستور m_3 و m_4 در هنگام تخلیه خازن‌های متناظر فوق کاملاً در ناحیه تریودی هستند. معادله دیفرانسیل نشان دهنده نحوه دشارژ خازن C_1 را می‌توان چنین نوشت:

$$\beta_n \left\{ \frac{(v_{dd} + v_{c1} - v_{tn})v_{c1} - v_{c1}^2}{2} \right\} = -c_1 \frac{dv_{c1}}{dt} \quad (2)$$

$$\beta_n = \frac{1}{2} \mu_n c_{ox} \frac{w}{l}$$

$$\frac{2dv_{c1}}{v_{c1}^2 + 2(V_{dd} - V_{tn})V_{c1}} = -\frac{\beta_n dt}{c_1} \quad (3)$$

رابطه فوق را می‌توان با مرتب کردن به فرم رابطه (3) نوشت.



شکل 4 تحقق گیت معکوس کننده با روش پیشنهادی با معرفی W/L به کار رفته در شبیه سازی‌ها بر حسب میکرومتر

با جایگزینی مقاومت‌های R_1 و R_2 با ترانزیستورهای m_3 و m_4 اگر ولتاژ تغذیه از $1/4$ ولت بیشتر باشد، دیود معکوس پیوند سورش و بدنه در هر دو ترانزیستور در لحظاتی روشن می‌شوند، که خوشبختانه نه تنها مضر نیستند بلکه به تخلیه سریعت خازن‌های C_1 و C_2 (ترانزیستورهای m_1 و m_2) کمک می‌کند. حال فرض کنید ورودی (A) در شکل (4) در وضعیت صفر منطقی است و شبه خازن m_5 به اندازه $(V_{dd} - 0.7)$ شارژ شده است. با تغییر وضعیت ورودی از صفر به یک منطقی ولتاژ بیس Q_2 در ابتدا برابر با $(-V_{dd} + 0.7)$ خواهد بود. چنانکه

$$Q_{in} = C_1 \Delta V_{cl} = C_1 [V_{dd} - 0.7 - (\frac{V_{dd} - 0.7}{10})] \quad (5)$$

سه جمله اول در رابطه (4) به ترتیب بیانگر بار الکتریکی ناحیه میانی (بیس) در ناحیه فعال و مرز اشباع، مقدار بار ناحیه اشباع و بار در خازن پارازیتی بین جمع کننده و بیس است. با توجه به کوچک بودن ترانزیستورهای دو قطبی که در مدارهای مجتمع دیجیتال استفاده می‌شوند، براحتی می‌توان از جمله اول و سوم در رابطه (4) در مقابل جمله چهارم چشم پوشی کرد. هم چنین به دلیل بزرگ بودن مقاومت‌های R_1 و R_2 جریان ترانزیستور دو قطبی در حالت اشباع بسیار کم بوده و از جمله دوم در رابطه اخیر نیز می‌توان صرف نظر کرد.

البته کل رابطه (4) تقریبی است و با این فرض نوشته شده است که ترانزیستور بتواند تغییرات نمایی جریان بیس را به خوبی دنبال کند. در پاراگراف بعدی بررسی دقیق‌تری در این باب خواهیم داشت. رابطه (5) با این فرض نوشته شده است که خازن‌های C_1 و C_2 در سیکل تخلیه به 10% مقدار اولیه خود می‌رسند. در عمل اگر ترانزیستور دو قطبی به کار رفته به اندازه کافی سریع

با روش تجزیه به کسرهای جزئی معادله فوق براحتی حل می‌شود. هدف ما از تحلیل فوق یافتن ابعاد ترانزیستور است، لذا با فرض معلوم بودن مقدار خازن C_1 می‌بایست مقدار β_n را چنان تعیین کرد که در زمان $\frac{1}{2 \times f_{max}}$ (کمترین زمان ممکن برای تخلیه خازن فوق) ولتاژ خازن C_1 به کمتر از 10% مقدار اولیه اش برسد. در عمل می‌توان به جای استفاده از روابط فوق با استفاده از نرم افزار شبیه سازی ابعاد ترانزیستورها را تعیین نمود. گزینه همین مطلب را برای محاسبه ابعاد m_4 می‌توان انجام داد.

2-4 جایگزینی خازن‌ها

خازن‌های جبران ساز باید به اندازه کافی بزرگ باشند تا بتوانند علاوه بر شارژ خازن‌های داخلی ترانزیستور، بار لازم در ناحیه بیس و بار تزریقی لازم در بیس را نیز تأمین کنند. به طور تقریبی می‌توان از روابط زیر مقدار خازن C_1 را محاسبه نمود. روابط فوق برای مجموعه خازن C_1 و ترانزیستور Q_1 نوشته شده‌اند که به سادگی برای خازن C_2 نیز نوشته می‌شوند.

$$Q_{in} = (Q_{ba} + Q_{xs} + Q_{cb}) + \frac{C_1 V_{dd}}{\beta} \quad (4)$$

بودن C_L نسبت به خازن پیوندی بیس-کلکتور می‌توان فرض کرد که در این مرحله (گذر از خاموشی به ناحیه فعال) ولتاژ کلکتور تغییری نداشته و لذا می‌توان رابطه (6) را نوشت:

$$i + \frac{V_{dd} - 0.7}{10} \quad (6)$$

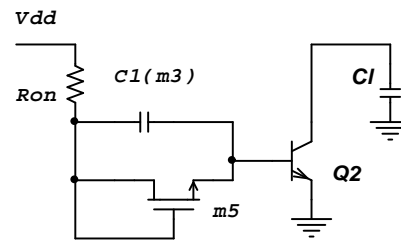
در ناحیه فعال با توجه به اینکه ولتاژ بیس برابر با 0.7 ولت است، برآحتی جریان بیس بر حسب زمان قابل محاسبه است که در رابطه (7) آورده شده است.

$$I_b(t) = \frac{v_{dd} - 0.7 - 0.1(v_{dd} - 0.7) - \Delta v_{c1}}{R_{on}} e^{-t/\tau_{in}} \quad (7)$$

در رابطه فوق منظور از $R_{on}C_1$ ، τ_{in} است، که R_{on} مقاومت معادل شبکه pMOS است. هم چنین ΔV_{C1} از رابطه (6) به دست می‌آید.

با نوشتن معادله دیفرانسیل بار [11] برای Q_2 و با توجه به اینکه $Q_b = \tau_f I_c$ ، $I_c = -C_1 \frac{dvo}{dt}$ با فرض اینکه $x = \frac{dvo}{dt}$ در نظر بگیریم، رابطه (8) به دست می‌آید. در این رابطه τ_f زمان متوسط گذر حامل‌های اقلیت از ناحیه بیس و τ زمان متوسط باز ترکیب شدن حامل‌های اقلیت در بیس است که β برابر بزرگتر از τ_f است.

باشد، روابط فوق برای طراحی خازن‌ها کفایت می‌کند. جهت بررسی دقیق‌تر موضوع، مدار معادل راه‌انداز در هنگام تخلیه خازن C_L در شکل (6) نشان داده شده است.



شکل 6 مدار معادل لحظات ابتدایی روشن شدن Q_2

در شکل فوق منظور از R_{on} مقاومت کانال معادل شبکه pMOS در حالت روشن است. در یک گیت معکوس کننده ساده مقاومت کانال یک ترانزیستور pMOS است. پس از فرمان وصل به ترانزیستور دوقطبی Q_2 توسط فعال شدن شبکه pMOS و غیر فعال شدن شبکه nMOS ابتدا می‌بایست ترانزیستور فوق از خاموشی در آمده و آماده ورود به ناحیه فعال شود. به عبارتی ولتاژ معکوس روی خازن پیوند بین بیس و امیتر می‌بایست به حدود 0.5 ولت برسد، لذا بخشی از بار خازن جبران ساز C_1 در این مرحله مصرف می‌شود که موجب کاهش ولتاژ خازن به اندازه Δv_{c1} می‌گردد. با توجه به بزرگ

ترانزیستور pnp خازن C_2 از

$$\tau_{in} = \tau_{f1} \left(1 + \frac{C_{cb}}{C_1} \right) + \frac{I_b}{\beta} \frac{dx}{dt} \quad (8)$$
 با انتخاب اولیه بر مبنای روابط (4 و 5) و سپس سعی و خطا به دست می آید.

5- مقایسه نتایج شبیه سازی

شبیه سازی با استفاده از مدل های ارائه شده در تکنولوژی BiCMOS (0. 25 μ m Level 49) صورت گرفته است. مقدار خازن بار C_L ، I_{pf} در نظر گرفته شده است. فرکانس پالس ورودی برابر با 50 مگاهرتز است. هر دو ترانزیستور دو قطبی از نوع عمده هستند. مدل ترانزیستورهای دو قطبی از [3] اخذ شده است، که بعضی از مشخصات آنها در جدول (1) آورده شده است یک گیت معکوس کننده با دو آرایش TS-FS و روش پیشنهادی در این مقاله طراحی و شبیه سازی شده است. پاسخ زمانی هر دو طرح به یک ورودی مربعی با فرکانس 50 مگاهرتز و زمان صعود و نزول 0.2ns برای ولتاژ تغذیه 2ولت در شکل (7) دیده می شود. ابعاد ترانزیستورها در شیوه TS_FS از مرجع [3] اقتباس شده است و ابعاد ترانزیستورهای ماسفت در طرح ارائه شده در این مقاله نیز چنان انتخاب شده که خازن معادل از دید

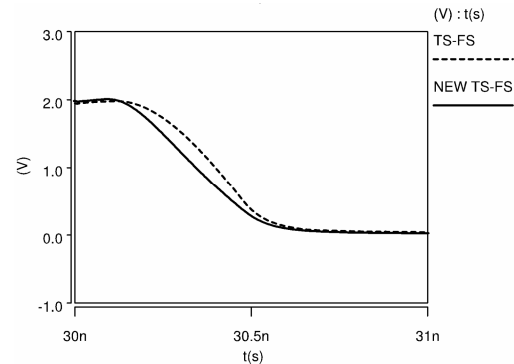
با توجه به مقدار C_{CB} در مدل به کار رفته (که بسیار کوچک است)، فرکانس طبیعی معادله فوق تقریباً برابر با $1/\beta\tau_f$ و یا $1/\tau_b$ است، لذا چنانکه τ_{in} حداقل سه برابر کوچکتر از τ_{in} باشد بدین معنی است که جریان کلکتور حتی در وضعیت ابتدائی هم تقریباً β برابر جریان بیس است و از این رو، می توان با دقت نسبتاً خوبی از رابطه (4) برای محاسبه خازن های جبران ساز استفاده کرد. در غیر این صورت تنها می توان با حل معادله (8) و به ازاء مقادیر مختلف C_1 به مقدار مطلوب رسید. قرینه همین محاسبات را می توان برای ترانزیستور pnp انجام داد. برای محاسبه خازن C_1 با توجه به کوچک بودن τ_b ترانزیستور npn می توان از روابط (4 و 5) استفاده کرد که نتایج شبیه سازی نیز این نکته را تأیید می کند. با ابعاد $3.5\mu\text{m} \times 3.5\mu\text{m}$ (خازنی به ظرفیت تقریبی 0. 04PF) برای ترانزیستور (شبیه خازن) m_5 و $6\mu\text{m} \times 6\mu\text{m}$ برای m_6 (0. 1PF) تأخیر گیت طراحی شده با روش پیشنهادی در این مقاله بیش از 12% کمتر از روش TS_FS خواهد بود. گفتنی است با توجه به کندتر بودن

ابتدائی بسیار بزرگ است و سپس به سمت یک مقدار بسیار کوچک میل می‌کند؛ ولی در روش قبلی پس از رسیدن به حالت پایدار در خروجی و ارسال فرمان از دو گیت معکوس کننده N1 و N2 جریان بیس قطع می‌شود. در نهایت روش پیشنهادی به زمان کمتری، برای رسیدن خروجی به 50% مقدار نهایی، دست می‌یابد. به طور کلی به دو دلیل سرعت پاسخ‌گویی طرح پیشنهادی سریع‌تر است:

الف) با توجه به اینکه دو گیت معکوس کننده N1 و N2 تشکیل یک بی استابل را می‌دهند، تغییر وضعیت در خروجی مستلزم غلبه جریان ترانزیستورهای دوقطبی بر این ساختار با فیدبک مثبت است که زمان صعود و نزول را افزایش می‌دهد.

ب) در روش TS_FS هر یک از ورودی‌های مدار به دو شبکه nMOS و به دو شبکه pMOS متصل هستند و بالطبع اگر ابعاد ترانزیستورهای شبکه‌های nMOS و pMOS به کار رفته در دو طرح فوق (TS_FS & NewTS_FS) با هم برابر باشد، خازن معادل در هر یک از ورودی‌های روش TS_FS دو برابر بزرگتر از ورودی متناظرش در طرح پیشنهادی

ورودی‌ها در طرح پیشنهادی کمتر از طرح قبلی باشد.

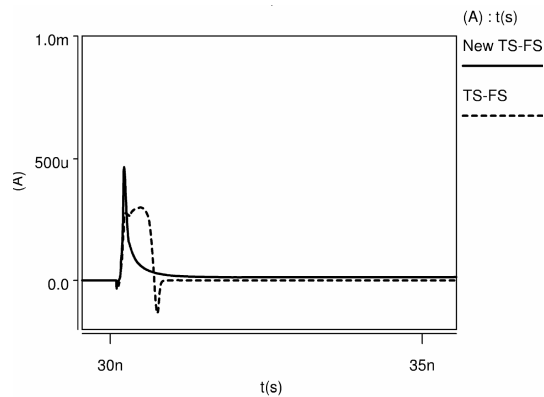


شکل 7 پاسخ زمانی طرح پیشنهادی و در ولتاژ تغذیه 2 ولتی TS-FS

چنانکه در شکل (7) ملاحظه می‌شود طرح پیشنهادی در این نوشتار از لحاظ زمان تأخیر تقریباً 12% سریعتر از طرح قبلی است. توان مصرفی ایستا در طرح پیشنهادی $97\mu\text{w}$ و در مدار قبلی $84\mu\text{w}$ است که هر دو در مقابل توان دینامیک ناچیزند ولی تعداد ترانزیستورهای طرح جدید بسیار کمتر از طرح قبلی می‌باشد، علاوه بر آن 12% نیز سریعتر از روش TS-FS است. تأخیر گیت معکوس کننده برای منبع تغذیه 2 ولتی، در روش پیشنهادی در حدود 0.55ns و در روش قبلی 0.66ns است. در شکل (8) جریان بیس ترانزیستور npn در دو طرح نشان داده شده است. در مدل پیشنهاد شده در این مقاله جریان بیس در لحظات

در تعیین نسبت ابعاد ترانزیستورها در روش پیشنهادی آزادی عمل بیشتری وجود دارد که به کاهش مقاومت معادل شبکه‌های nMOS و pMOS و افزایش سرعت مدار منجر می‌گردد. در شکل (9) ولتاژ بیس دو ترانزیستور دو قطبی دیده می‌شود. با توجه به بزرگتر بودن خازن C2 زمان تخلیه برای این خازن که به بیس ترانزیستور npn متصل است، کمی بیشتر از خازن C1 است. چنانکه در شکل (9) دیده می‌شود، زمان تخلیه خازن C2 (زمانی که طول می‌کشد تا خازن فوق 90% تغییرات نهایی خود را انجام دهد) حدود 1.5ns است. هم چنین شکل فوق نشان دهنده آن است که دیودهای سورس و بدنه در لحظاتی روشن شده‌اند، چرا که در صورت فقدان دیودهای فوق ولتاژ بیس ترانزیستور npn در ابتدای سیکل خاموشی می‌بایست تا 1/4- ولت نزول می‌کرد، که در شکل این مقدار حدود 1- است. نکته‌ای که در اینجا قابل ذکر است اثر ولتاژ منبع تغذیه بر عملکرد مدار پیشنهادی است. با کاهش ولتاژ تغذیه از برتری سرعت پاس‌خگویی مدار پیشنهادی کاسته می‌شود به گونه‌ای که با ابعاد طراحی شده در این مقاله، در ولتاژ تغذیه 1.1V سرعت عملکرد دو مدار مشابه

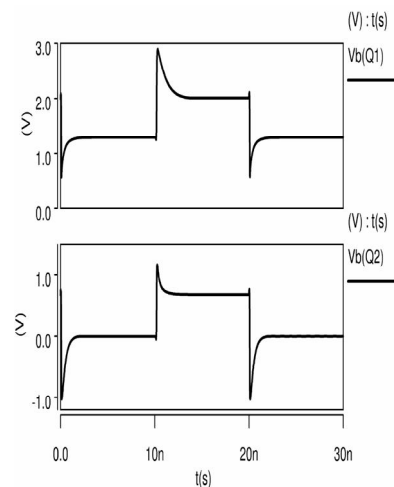
خواهد بود از این رو،



شکل 8 مقایسه جریان بیس ترانزیستور npn در دو طرح

جدول 1 مشخصات کلیدی ترانزیستورهای دو قطبی [2]

BJT	npn	pnp
A_E	$0.251 \times 1 \mu\text{m}^2$	$0.25 \times 1 \mu\text{m}^2$
β_F	90	90
τ_F	2.3ps	6.9ps
C_{JE}	3.9Ff	7.8Ff
C_{JC}	3.5Ff	6.8Ff
C_{JS}	9.5Ff	14.8Ff
R_E	30 Ω	37 Ω
R_C	150 Ω	175 Ω
R_B	500 Ω	500 Ω



شکل 9 ولتاژ بیس ترانزیستورهای دو قطبی در $V_{dd}=2V$ و $f=50MHz$ در مدل پیشنهادی

می‌گردد. با این شیوه با حذف یک شبکه nMOS و یک شبکه pMOS، هم چنین دو گیت معکوس کننده و ترانزیستورهای زائد دیگر، تعداد ترانزیستورهای طرح پیشنهادی نسبت به روش TS-FS کاهش قابل ملاحظه‌ای نشان می‌دهد. برای مثال تعداد ترانزیستورهای به کار رفته در روش TS-FS برای تحقق یک گیت Nand چهار ورودی 24 عدد و در طرح پیشنهادی در این نوشتار 12 عدد است. هم چنین در نتایج شبیه سازی تأخیر گیت معکوس کننده با روش پیشنهادی 12% کمتر از روش قبلی است.

می‌شود. البته با افزایش ابعاد ترانزیستورهای شبیه ساز خازن‌ها و بزرگتر کردن خازن‌ها، می‌توان ولتاژ کار مدار را به هزینه افزایش ابعاد مدار کاهش داد.

6- نتیجه‌گیری

روش TS_F سریعترین مدار BiCMOS معرفی شده در مقالات و کتب مربوطه است. با تغییراتی در ساختار مدل فوق و با توجه به نوع بار خروجی که خازنی است، جریان بیس ترانزیستورهای دو قطبی در روش پیشنهاد شده در این مقاله از طریق یک شبکه RC که هر دو با ترانزیستورهای ماسفت جایگزین شده‌اند، تحریک

مراجع

1. R. L. Geiger. , P. E. Allen., N.R. Strader, "VLSI Design Techniques For Analog and Digital Circuit", McGRAW_HILL, (1990)
2. S. S. Rofail and K. S. Yeo, "Low voltage, Low Power Digital BiCMOS Circuits", Prentice Hall, (2000).
3. K. Seng, Y.S. Rafati, W.L. Goh, "CMOS/BiCMOS VLSI- Low Voltage Low Power", Pearson Education, (2002).
4. H. J. SHIN, "Full-Swing, "Complementary BiCMOS Logic Circuits", BCTM, Proc, Sept. (1989).
5. W. C. Leung, "A High-Performance, Low-Power Complementary Coupled BiCMOS circuit", IEEE J. Solid_State Circuits, vol. 32, No. 4, pp. 610-612, (1997).
6. M. Margala. , N. G. Durdle "Noncomplementary BiCMOS Logic and CMOS Logic for Low-Voltage, Low-Power Operation—A Comparative Study", IEEE J. Solid- State Circuit, vol. 33. No. 10, (1998).
7. M. Hiraki. ,K. Yano. ,M. Minami. ,K. Satoh. ,N. Matsuzaki. ,A. Watanabe. , T. Nishida. , k. Sasaki. , k. Seki, "A 1.5V Full-swing BiCMOS Logic Circuit", IEEE J. Solid-State Circuits, vol. 27, No. 11, (1992).
8. کیوان ناوی، محسن کاظمی پارسا، آرش قربان نیا دلاور، "دروازه های منطقی

بسیار سریع مد جریان"، نشریه علمی پژوهشی انجمن کامپیوتر ایران، مجلد 3 شماره 1، بهار (1384).

9. K. Navi and A. Ghorbannia Delavar, "Very Fast Current Mode Logic Gates", CSIT Conference , Armenia (2005).
10. J. Milman., H. Taub, "Pulse Digital and Switching Waveform", Mc Graw-Hill International Book Company, 24th printing, (1983).
11. W. Gerold, and Neudeck., "Modular Series on Solid State Devices", in Volume III The Bipolar Junction Transistor, Addison-Wesley, (1983).